جامعة الموصل / كلية الهندسة / قسم هندسة الحاسوب

مختبرات المستوى الثاني

وصف مختبر المعالجات الدقيقة I

1. المعلومات العامة:	
اسم المختبر و رقم المختبر:	مختبر المعالجات الدقيقة I (مختبر 312)
اسم المقرر المرتبط:	المعالجات الدقيقة I
القسم:	هندسة الحاسوب
عدد الساعات الأسبوعية للمختبر:	3 ساعات
عدد أسابيع الفصل الدراسي:	15 أسبوعًا
المستوى الدراسي:	المستوى الثاني
المشرف على المختبر:	د. مازن هاشم عزيز

2. وصف عام للمختبر:

يهدف مختبر المعالجات الدقيقة I إلى تعزيز المفاهيم النظرية التي تم تناولها في محاضرات مقرر المعالجات الدقيقة I ، من خلال تطبيقات عملية واقعية باستخدام أدوات وبرمجيات مخصصة للمعالجات الدقيقة، يوفر المختبر بيئة تفاعلية تُمكن الطلاب من اكتساب مهارات كتابة البرمجيات بلغة التجميع وتنفيذها وتتبع الأخطاء واكتشافها وتصحيحها.

3. أهداف المختبر:

- تدريب الطلاب على كتابة البرمجيات بلغة التجميع.
- التعرف على الإيعازات المختلفة.
- التدرب على استخدام الأدوات البرمجية.
- استخدام بيئة المحاكاة في تتبع وكشف الأخطاء وتصحيحها.
- كتابة تطبيقات متدرجة التعقيد وعرض النتائج وتحسينها.
- تعزيز القدرة على تنفيذ المشاريع.

4. مخرجات التعلم:

بنهاية المختبر، يجب أن يكون الطالب قادرًا على:

- كتابة برامج بلغة التجميع.
- تتبع وكشف الأخطاء وتصحيحها.
- تنفيذ البرامج بلغة التجميع.
- كتابة وتنفيذ تطبيقات برمجية متوسطة المستوى بلغة التجميع.
- إكتساب روح العمل الفرقي.

5. الجدول الأسبوعي للتجارب:

الأسبوع	عنوان التجربة	الأدوات / البرامج المستخدمة	الهدف الرئيسي
1	مقدمة عن الأدوات المستخدمة	حاسوب	التعرف على مفاهيم استخدام لغة التجميع
2	إعداد بيئة DOSBOX	تنصيب بيئة DOSBOX	استخدام بيئة افتراضية
3	إعداد برنامج Debug	تنصيب برنامج Debug	تعلم استخدام البرنامج لكشف وتتبع الأخطاء وتصحيحها
4	إعداد برنامج Masm & Link	تنصيب برامج Masm & Link	التعرف على كيفية الكتابة بلغة التجميع وصولاً إلى التنفيذ
5	كتابة برنامج بسيط بلغة التجميع	محرر نصوص + البرمجيات	تطبيق مبسط
6	إيعازات نقل البيانات	محرر نصوص + البرمجيات	استخدام إيعازات نقل البيانات
7	الإيعازات المنطقية	محرر نصوص + البرمجيات	استخدام الإيعازات المنطقية
8	إيعازات التزحيف واتدوير	محرر نصوص + البرمجيات	استخدام إيعازات التزحيف واتدوير
9	إيعازات التفريع	محرر نصوص + البرمجيات	استخدام إيعازات التفريع
10	الإيعازات الحسابية	محرر نصوص + البرمجيات	استخدام الإيعازات الحسابية
11	إيعازات السلسلة	محرر نصوص + البرمجيات	استخدام إيعازات السلسلة

12	إيعازات السيطرة	محرر نصوص + البرمجيات	استخدام إيعازات السيطرة
13	التعامل مع الذاكرة الفيديوية	محرر نصوص + البرمجيات	تطبيق تفاعلي من خلال الذاكرة الفيديوية
14	تطبيقات باستخدام برامج المقاطعة	محرر نصوص + البرمجيات	دمج المهارات المكتسبة في مشروع نهائي

6. الأدوات والمعدات المستخدمة:

- حواسيب.
- برمجيات.

7. دليل السلامة:

- التأكد من فصل التيار الكهربائي عند توصيل الأجهزة.
- عدم لمس المنافذ الكهربائية أو مكونات الشبكة دون إذن المشرف.
- الالتزام بالهدوء وتنظيم الكابلات لتجنب الحوادث.
- استخدام البرنامج المحاكي لتجارب التوجيه قبل التجريب على الأجهزة الحقيقية.

8. آلية التقييم:

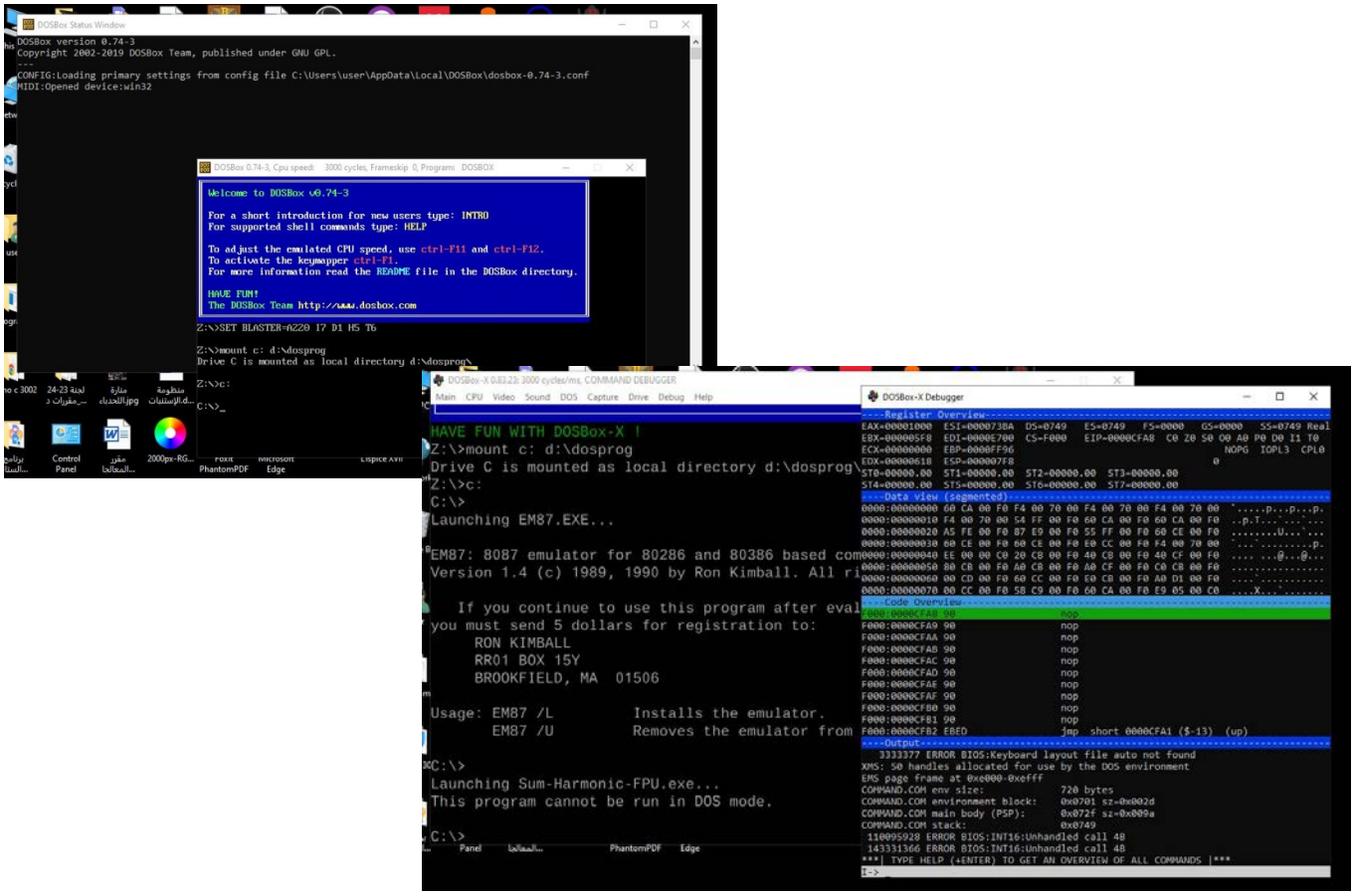
عنصر التقييم	النسبة
الحضور والمشاركة	10%
تقارير التجارب الأسبوعية	30%
الاختبارات القصيرة	20%
الامتحان العملي النهائي	30%
المشروع العملي	10%

9. المراجع والمصادر:

- Walter Triebel and Avtar Singh, The 8088 and 8086 Microprocessors: programming, Interfacing, software, Hardware, Applications, 4th edition, prentice-Hall, 2002.
- Lectures, experiment manual, and notes
- The Intel microprocessors 8086/8088, 80186/80188, 80286, 80386, 80486, Pentium, Pentium Pro processor, Pentium II, Pentium III, Pentium 4, and Core2 with 64-bit extensions: architecture, programming, and interfacing by: Barry B. Brey—8th ed.
- https://classroom.google.com/c/NzEyMjE0ODcyMTUx
- https://www.eng.auburn.edu/~sylee/ee2220/8086_instruction_set.html

10.المرفقات:

- نموذج تقرير التجربة


DOSBox Status Window
DOSBox version 0.74-3
Copyright 2002-2019 DOSBox Team, published under GNU GPL.
CONFIG:Loading primary settings from config file C:\Users\user\AppData\Local\DOSBox\dosbox-0.74-3.conf
MIDI:Opened device:win32
Welcome to DOSBox v0.74-3
For a short introduction for new users type: INTRO
For supported shell commands type: HELP
To adjust the emulated CPU speed, use ctrl-F11 and ctrl-F12.
To activate the keymapper ctrl-F1.
For more information read the README file in the DOSBox directory.
HAVE FUN!
The DOSBox Team http://www.dosbox.com
Z:\>SET BLASTER=A220 I7 D1 H5 T6
Z:\>mount c: d:\dosprog
Drive C is mounted as local directory d:\dosprog\
Z:\>c:
C:\>_
HAVE FUN WITH DOSBox-X !
Z:\>mount c: d:\dosprog
Drive C is mounted as local directory d:\dosprog\
Z:\>c:
C:\>
Launching EM87.EXE...
EM87: 8087 emulator for 80286 and 80386 based com
Version 1.4 (c) 1989, 1990 by Ron Kimball. All ri
If you continue to use this program after eval
you must send 5 dollars for registration to:
RON KIMBALL
RR01 BOX 15Y
BROOKFIELD, MA 01506
Usage: EM87 /L Installs the emulator.
EM87 /U Removes the emulator from
C:\>
Launching Sum-Harmonic-FPU.exe...
This program cannot be run in DOS mode.
C:\>
DOSBox-X Debugger
Register Overview
Data view (Segmented)
Code Overview
Output
3313777 ERROR BIOS:Keyboard layout file auto not found
XMS: 50 handles allocated for use by the DOS environment
EMS page frame at 0xe000-0xefff
COMMAND.COM env size: 720 bytes
COMMAND.COM environment block: 0x0701 sz=0x002d
COMMAND.COM main body (PSP): 0x072f sz=0x009a
COMMAND.COM stack: 0x0749
110095928 ERROR BIOS:INT16:Unhandled call 48
143331366 ERROR BIOS:INT16:Unhandled call 48
*** TYPE HELP (+ENTER) TO GET AN OVERVIEW OF ALL COMMANDS ***

Experiment No. (6)

Student Name:

Data Transfer Instructions

Objective:-

- Learn how to use data transfer instructions.

Equipments:-

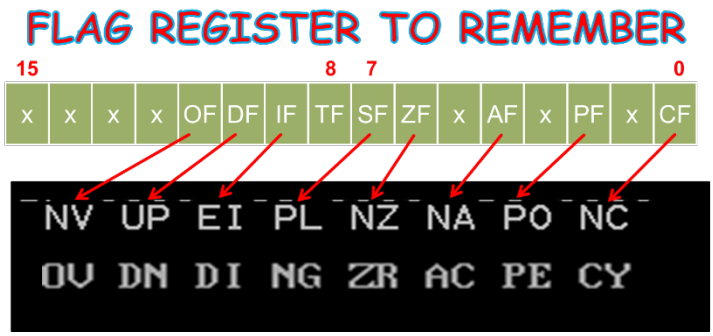
- PC

Procedure:-

For the steps (1, 4) write the instructions using (A) command, then execute them step by step using (T) command.

1. Use (D) command after each step from (h-k) to observe the contents of the specified memory locations:

a) -R
b) -A 100
c) XXXX:0100 MOV CX,1122 CX=.. ..
d) XXXX:0103 MOV AX,3344 AX=.. ..
e) XXXX:0106 XCHG CL,AH AX=.. .. ,CX=.. ..
f) XXXX:0108 MOV BX,10 BX=.. ..
g) XXXX:010B MOV DI,200 DI=.. ..
h) XXXX:010E MOV DX,5566 DX=.. ..
i)XXXX:0111 MOV AL,[BX] AL=…….
j)XXXX:0113 LEA SI,[BX] SI=.....
k) XXXX:0115 LDS DI,[BX] DI=…… ,DS=……
l)XXXX:0117 LES BX,[DI] BX=..... ,ES=……



2. Apply each of the following steps (a through g), then state the results.

a) -RF
b) –RAX AH=.. .. ..
c) -A 100
d) XXXX:0100 LAHF <ENTER>
e) -T=100
f) -RAX AH=.. .. ..
g) -RF

Apply each of the following steps (a through f), then state the results.

a) -A 100
b) XXXX:0100 MOV AH,0
c) XXXX:01XX SAHF <ENTER>
d) -T=100
e) -RAX
f) -RF Flag register=.. .. ..

3. Apply each of the following steps (a through o), then use (D) command prior to each XLAT instruction to observe the contents of the specified memory locations:

a) -R
b) -F 100 120 “MICROPROCESSOR LAB”
c) -F 200 220 “microprocessor lab”
d) -A 100
e) XXXX:0100 MOV AL,0 AL=.. ..
f) XXXX:01XX MOV BX,100 BX=.. ..
g) XXXX:01XX MOV DI,200 DI=.. ..
h) XXXX:01XX XLAT AL=.. ..
i)XXXX:01XX MOV AL,9 AL=.. ..
j)XXXX:01XX XLAT AL=.. ..
k) XXXX:01XX XCHG DI,BX DI=.. .. .. ,BX= .. .. ..
l)XXXX:01XX MOV AL,9 AL=.. ..
m) XXXX:01XX XLAT AL=.. ..
n) XXXX:01XX MOV AL,F AL=.. ..
o) XXXX:01XX XLAT AL=.. ..

وصف مختبر المعالجات الدقيقة 2

1. المعلومات العامة:	
اسم المختبر و رقم المختبر:	مختبر المعالجات الدقيقة II (مختبر 312)
اسم المقرر المرتبط:	المعالجات الدقيقة II
القسم:	هندسة الحاسوب
عدد الساعات الأسبوعية للمختبر:	3 ساعات
عدد أسابيع الفصل الدراسي:	15 أسبوعًا
المستوى الدراسي:	المستوى الثاني
المشرف على المختبر:	د. مازن هاشم عزيز

2. وصف عام للمختبر:

يهدف مختبر المعالجات الدقيقة II إلى تعزيز المفاهيم النظرية التي تم تناولها في محاضرات مقرر المعالجات الدقيقة II ، من خلال تطبيقات عملية واقعية باستخدام أدوات وبرمجيات مخصصة للمعالجات الدقيقة، يوفر المختبر بيئة تفاعلية تُمكن الطلاب من اكتساب مهارات تصميم دوائر المواءمة مع المعالج الدقيق 8086 وكتابة البرمجيات بلغة التجميع وتنفيذها في بيئة افتراضية وعرض المخططات الزمنية وتحليل النتائج.

3. أهداف المختبر:

- تدريب الطلاب على التصميم.
- التعرف على العناصر الرقمية المختلفة.
- التدرب على استخدام الأدوات الإفتراضية.
- استخدام بيئة المحاكاة في إعداد التصاميم والتعديل عليها.
- كتابة البرمجيات بلغة التجميع وتنفيذها باستخدام التصاميم المعدة وعرض النتائج وتحسينها.
- تعزيز القدرة على تنفيذ المشاريع.

4. مخرجات التعلم:

بنهاية المختبر، يجب أن يكون الطالب قادرًا على:

- استخدام بيئة المحاكاة Proteus.
- إعداد التصاميم وتنفيذها.
- تنفيذ البرامج بلغة التجميع وتطبيقها على التصاميم المعدة.
- تحليل النتائج وإيجاد الأخطاء وتحسين التصاميم.
- إكتساب روح العمل الفرقي.

5. الجدول الأسبوعي للتجارب:

الأسبوع	عنوان التجربة	الأدوات / البرامج المستخدمة	الهدف الرئيسي
1	مقدمة عن الأدوات المستخدمة	حاسوب	التعرف على مفاهيم استخدام أدوات المحاكاة في التصاميم
2	إعداد بيئة Proteus	تنصيب بيئة Proteus	إكتساب مهارة تنصيب البرمجيات وإعدادها
3	أدوات التصميم والمكتبات المتوفرة	Proteus	التعرف على الأدوات التي يوفرها Proteus وكيفية توظيفها
4	تصميم وتنفيذ لمحاكاة دوائر منطقية بسيطة	Proteus	استخدام أدوات التصميم في تنفيذ دوائر منطقية بسيطة والتعرف على أدوات محاكاة إشارات الإدخال وأدوات عرض النتائج
5	تصميم وتنفيذ دائرة لمحاكاة المعالج الدقيق 8086 منفرداً	Proteus	تنفيذ دائرة معالج دقيق وكتابة أول برنامج له لعرض إشارات المعالج
6	تصميم وتنفيذ دائرة لمحاكاة نواقل العناوين والبيانات للمعالج الدقيق 8086	Proteus	تطبيق المعرفة النظرية في التعرف على نواقل المعالج
7	تصميم وتنفيذ دائرة لمحاكاة فصل إشارات العناوين للمعالج الدقيق 8086	Proteus	تطبيق المعرفة النظرية في فصل إشارات العناوين
8	تصميم وتنفيذ دائرة لمحاكاة مصدات نواقل البيانات للمعالج الدقيق 8086	Proteus	تطبيق المعرفة النظرية في بناء مصدات إشارات البيانات

9	تصميم وتنفيذ دائرة لمحاكاة فك تشفير العناوين للمعالج الدقيق 8086	Proteus	تطبيق المعرفة النظرية في بناء دائرة فك التشفير
10	تصميم وتنفيذ دائرة لمحاكاة مواءمة المعالج الدقيق 8086 مع الذاكرات-1	Proteus	تطبيق المعرفة النظرية في بناء دائرة مواءمة مع ذاكرة بحجم معين
11	تصميم وتنفيذ دائرة لمحاكاة مواءمة المعالج الدقيق 8086 مع الذاكرات-2	Proteus	تطبيق المعرفة النظرية في تعديل دائرة المواءمة مع الذاكرة عند تغيير حجم الذاكرة
12	تصميم وتنفيذ دائرة لمحاكاة مواءمة المعالج الدقيق 8086 مع الطرفيات-1	Proteus	تطبيق المعرفة النظرية في بناء دائرة مواءمة مع طرفيات الإدخال والإخراج
13	تصميم وتنفيذ دائرة لمحاكاة مواءمة المعالج الدقيق 8086 مع الطرفيات-2	Proteus	تطبيق المعرفة النظرية في بناء دائرة مواءمة مع طرفيات الإدخال والإخراج عند زيادة سعة كل منها
14	تصميم وتنفيذ دائرة لمحاكاة مواءمة المعالج الدقيق 8086 مع الذاكرات والطرفيات سويةً	Proteus	دمج المهارات المكتسبة في مشروع نهائي

6. الأدوات والمعدات المستخدمة:

- حواسيب.
- طقم برمجيات المحاكاة Proteus.

7. دليل السلامة:

- التأكد من فصل التيار الكهربائي عند توصيل الأجهزة.
- عدم لمس المنافذ الكهربائية أو مكونات الشبكة دون إذن المشرف.
- الالتزام بالهدوء وتنظيم الكابلات لتجنب الحوادث.
- استخدام البرنامج المحاكي لتجارب التوجيه قبل التجريب على الأجهزة الحقيقية.

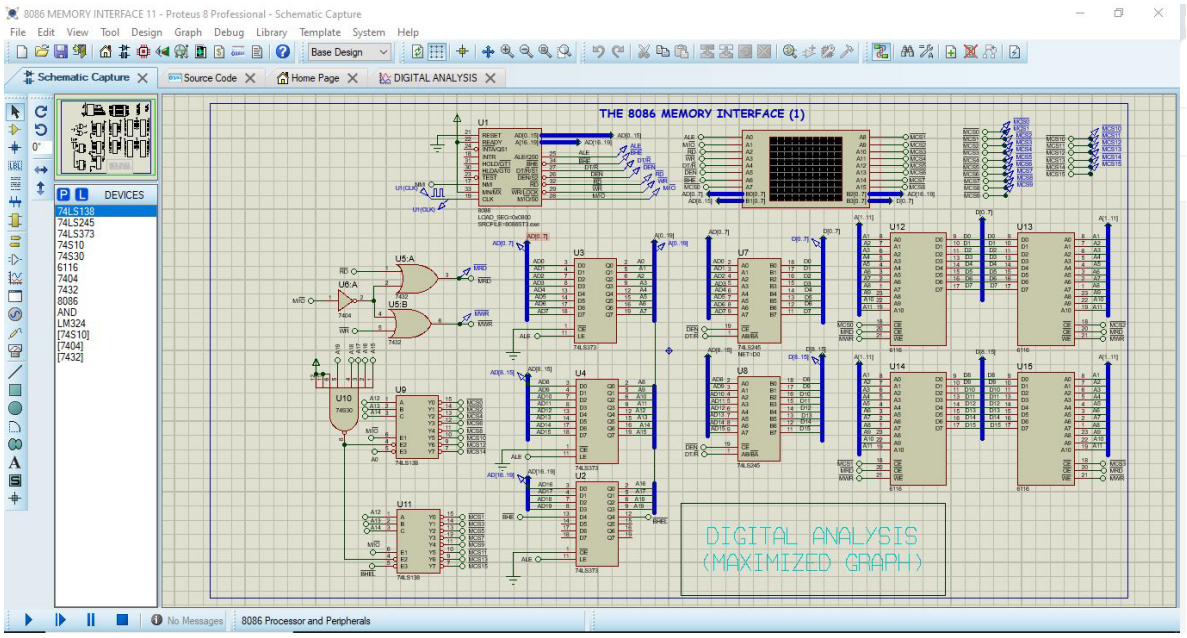
8. آلية التقييم:	
عنصر التقييم	النسبة
الحضور والمشاركة	10%
تقارير التجارب الأسبوعية	30%
الاختبارات القصيرة	20%
الامتحان العملي النهائي	30%
المشروع العملي	10%

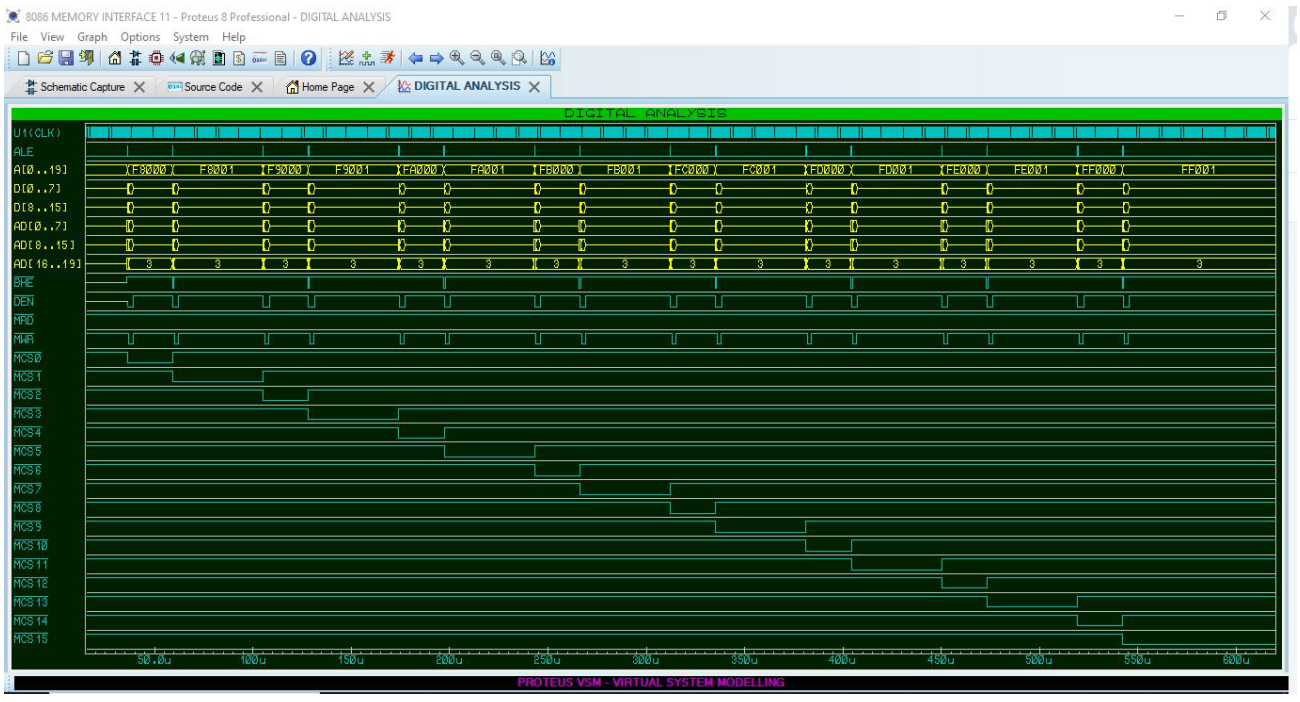
9. المراجع والمصادر:

- The Intel microprocessors 8086/8088, 80186/80188, 80286, 80386, 80486, Pentium, Pentium Pro processor, Pentium II, Pentium III, Pentium 4, and Core2 with 64-bit extensions: architecture, programming, and interfacing by: Barry B. Brey—8th ed.
- https://classroom.google.com/c/NzQ1Nzk2ODA2NjYx

10.المرفقات:

- نموذج تقرير التجربة


8086 MEMORY INTERFACE 11 - Proteus 8 Professional - Schematic Capture
File Edit View Tool Design Graph Debug Library Template System Help
Schematic Capture
Source Code
Home Page
DIGITAL ANALYSIS
THE 8086 MEMORY INTERFACE (1)
DEVICES
74LS138
74LS245
74LS373
74S10
74S30
6116
7404
7432
8086
AND
LM324
[74S10]
[7404]
[7432]
DIGITAL ANALYSIS
(MAXIMIZED GRAPH)
No Messages
8086 Processor and Peripherals


8086 MEMORY INTERFACE 11 - Proteus 8 Professional - DIGITAL ANALYSIS
File View Graph Options System Help
Schematic Capture
Source Code
Home Page
DIGITAL ANALYSIS
DIGITAL ANALYSIS
U1(CLK)
ALE
A[0..19]
D[0..7]
D[8..15]
AD[0..7]
AD[8..15]
AD[16..19]
BHE
DEN
MRD
MWR
MCS0
MCS1
MCS2
MCS3
MCS4
MCS5
MCS6
MCS7
MCS8
MCS9
MCS10
MCS11
MCS12
MCS13
MCS14
MCS15
50.0u
100u
150u
200u
250u
300u
350u
400u
450u
500u
550u
600u
PROTEUS VSM - VIRTUAL SYSTEM MODELLING

Experiment No. (11)

Student Name:

THE MEMORY INTERFACE (1)
Chip Selects Generation

Objective:-

- Learning how to simulate an 8086-microprocessor using **Proteus8.1 suit** and perform memory chip select generation.
- Observing the effects of software changes on the outputs of the chips selection signals.

equipment:-

- PC with **Proteus 8.1 Professional Design Suite** package.

Procedure:-

1) Open the Proteus program as **administrator**.
2) Start a new project and name it (**8086 MEMORY INTERFACE 1++.pdsprj**).
3) Design the 8086 Microprocessor memory interface circuit as shown in (Fig. 1).
(**Hint. You can start from the previous experiment design**.)
4) The 8086- assembly program should have the following commands:
HINT: Assume the used memory chips are 2Kbytes each.

```
CODE    SEGMENT PUBLIC 'CODE'
        ASSUME CS: CODE

START:
1.      CONT:
2.              MOV   AX,0F800h         ;Segment Base Address
3.              MOV   DS, AX
4.              MOV   SI,0              ;Byte Pointer
5.              MOV   BX,0              ;Memory Chip Pointer
6.      NXT:
7.              MOV   DL,0AAh           ;Data for Even Byte
8.              MOV   [SI+BX], DL
9.              MOV   DL,0BBh           ;Data for Odd Byte
10.             MOV   [SI+BX+1], DL
11.             ADD   BX,1000h          ;Chip Pointer Increment (2X2Kbyte)
12.             JMP   NXT

CODE    ENDS
        END START
```

5) Start the simulation:
(A) Either from the "Main-Menu-Bar", click on "Debug", then "Run Simulation", Or from the MDI control bar at the left button of the screen.
(B) If there were no errors, the simulation will start and a colored small square will flash near each pin of the working chips of the circuit, which indicate the state of each pin.

6) Right click on the Virtual Logic Analyzer, then go-down to the bottom of the menu and click on "VSM Logic Analyzer". The VSM Logic Analyzer window will be opened.
7) Ensure that the "Capture Resolution" knob setting is around 25ns, if not you can control the knob to get the required setting.
8) Click-on the "Capture " push-button and wait for the signals to be displayed.
9) Now the "Display Scale" knob can be used to control the display range for better observations.
10) Note that the signals will be displayed according to its connection sequence to the VSM Logic Analyzer in the circuit diagram.
11) You can watch the signals (ALE, RD, WR, BHE, DT/R, DEN, M/IO, AD0-19, MSC0, MCS1, ……).
12) Add a Digital Analysis Graph and add a Voltage Probe to monitor the above signals and buses.

Lab work:

(1) Add the digital analysis graph and add all buses and signals to it using the voltage probes and use it to watch the signals.
(2) Add and connect the necessary signals to the logic analyzer and to the digital analysis graph and write the above code in the source code tab.
(3) Run the simulator and draw the timing diagram showing all the important signals and buses.
(4) Stop the simulation, make the following changes, and run the simulator after each of them, watch their effects on different signals and record your notes:
(A) What will happen if you change the instruction in line 1 to (MOV AX, 0FC00h), and try to fix any problem you will face.
(B) Convert the program to move 16-bit in each cycle.
(5) Draw the signal timing diagram for each case and state the affected signals?

وصف مختبر تصميم منطق قابل للبرمجة

1. المعلومات العامة:	
اسم المختبر و رقم المختبر:	مختبر تصميم منطق قابل للبرمجة (مختبر 210)
اسم المقرر المرتبط:	تصميم منطق قابل للبرمجة
القسم:	هندسة الحاسوب
عدد الساعات الأسبوعية للمختبر:	3 ساعات
عدد أسابيع الفصل الدراسي:	15 أسبوعًا
المستوى الدراسي:	المستوى الثاني
المشرف على المختبر:	أ.م.د. شوكت صباح خيرالله

2. وصف عام للمختبر:

تصميم وتحليل الدوائر الرقمية التتابعية (المتزامنة) المعتمدة على الساعة، مثل المذبذبات وسجلات الإزاحة ، والعدادات ، وكاشفات الأنماط .كما يتناول المفاهيم المعمارية لأنواع مختلفة من أجهزة المنطق القابلة للبرمجة، والمخاطر في الدوائر المنطقية التوافقية وتقنيات التخلص منها. يشمل المقرر أيضًا تقنيات تصميم باستخدام مصفوفات البوابات المنطقية القابلة للبرمجة ميدانيًا () باستخدام لغة توصيف العتاد الإلكتروني عالية السرعة() ، ومقدمة في النمذجة والمحاكاة والتوليف)باستخدام أدوات مثل Xilinx أو Altera أو.(Intel FPGAs سيتم في هذا المقرر تقديم بنية اللغة، قواعد الكتابة، وأنواع البيانات المستخدمة في لغات توصيف العتاد ، واكتساب المهارة في كتابة أكواد HDL الأساسية.

3. أهداف المختبر:

الهدف الأساسي من هذا المقرر هو تعليم الطلاب المبادئ الأساسية للأنظمة الرقمية الحديثة، ولغةVHDL ، وتصميم المنطق القابل للبرمجة.

4. مخرجات التعلم:

بنهاية المختبر، يجب أن يكون الطالب قادرًا على:

- القدرة على تحديد وتحليل وحل المشكلات الهندسية المعقدة وفقاً لمبادئ الهندسة والعلوم والرياضيات
- القدرة على اكتساب وتطبيق المعرفة الجديدة باستخدام استراتيجيات التعلم المناسبة.
- القدرة على المشاركة والعمل بشكل مهني وأخلاقي في مشاريع مختلفة ضمن فرق متعددة التخصصات.
- سيتمكن الطلاب من تصميم وتحليل الدوائر الرقمية التتابعية المتزامنة والتفاعلية مثل الفليب فلوب، سجلات الإزاحة، العداد، كاشفات الأنماط، وفهم تطبيقاتها.
- سيتعلم الطلاب كيفية نمذجة الدوائر المنطقية التوافقية الأساسية مثل البوابات المنطقية، المبدلات، المفككات، والدوائر التوافقية الأخرى باستخدام لغات توصيف العتاد (HDLs) مثل .VHDL كما سيكونون قادرين على

استخدام VHDL في ترميز الدوائر المنطقية التتابعية الأساسية، بما في ذلك اللاتشات، الفليب فلوب، آلات الحالة، السجلات، والعدادات.

- سيطوّر الطلاب فهماً متيناً للمفاهيم المعمارية والتقنيات القابلة للبرمجة لأنواع مختلفة من أجهزة المنطق القابلة للبرمجة (PLDs) مثل الذاكرة القابلة للبرمجة للقراءة فقط(PROM) ، منطق المصفوفة القابل للبرمجة(PAL) ، مصفوفة المنطق القابلة للبرمجة(PLA) ، منطق المصفوفة العامة(GAL) ، تصميم المنطق القابل للبرمجة المعقد (CPLD)، ومصفوفة البوابات القابلة للبرمجة ميدانياً.(FPGA)
- سيفهم الطلاب المخاطر (Hazards) في الدوائر المنطقية التوافقية الناتجة عن نقص في النظام الرقمي أو تأثيرات خارجية. ويوجد نوعان رئيسيان من المخاطر: الساكنة والديناميكية، التي يمكن التخلص منها باستخدام طرق التخفيف المختلفة.
- سيكتسب الطلاب مهارات في محاكاة والتحقق من تصاميم لغات توصيف العتاد .(HDL) سيتعلمون استخدام أدوات المحاكاة لاختبار وتصديق تصاميمهم قبل التنفيذ. كما سيكتسبون فهماً لتقنيات تجريد التصميم في HDL باستخدام النمذجة الهيكلية، وكيفية تقسيم التصميم المعقد إلى وحدات هرمية ووصف التوصيلات بينها.
- سيستكشف الطلاب عملية توليف العتاد (hardware synthesis) التي تحول وصفات HDL إلى تمثيلات على مستوى البوابات مناسبة للتنفيذ على أجهزة المنطق القابلة للبرمجة. سيتعلمون تقنيات التوليف واستراتيجيات التحسين لتحقيق الأداء المطلوب واستخدام الموارد بكفاءة
- سيتعلم الطلاب كيفية تحقيق الدوال المنطقية التوافقية وتنفيذ أنظمة المنطق التتابعية المتزامنة على أجهزة المنطق القابلة للبرمجة (PLD) التي تستخدم عادة مصفوفات منطقية كمنصة عتادية، مع إمكانيات تخزين منطقية ودخل/خرج قابل للبرمجة.

5. الجدول الأسبوعي للتجارب:

الأسبوع	عنوان التجربة	الأدوات / البرامج المستخدمة	الهدف الرئيسي
1, 2	**التجربة) 1 :(**توليف وفهم عمل اللاتش، فليب-فلوب من نوعD ، فليب-فلوب من نوعJ-K ، وفليب-فلوب من نوعT	Proteus 8.13 software	فهم المفاهيم الأساسية للفليب-فلوب باعتبارها وحدات أساسية أولية في الدوائر المنطقية التتابعية.
3, 4	**التجربة) 2 :(**تصميم وفهم عمل سجلات الإزاحة ودوائر العد المتزامنة	Proteus 8.13 software	فهم تصميم وعمل سجلات الإزاحة ودوائر العد المنطقية المتزامنة.
5, 6	**التجربة) 3 :(**استخدام محاكي Xilinx) أو Alteraأو (Intel FPGAs كأداة لتصميم النماذج، التوليف، والتحليل لنمذجة المكونات التوافقية الأساسية: البوابات المنطقية، والمبدلات	Xilinx ISE 14.7 software	تعريف الطلاب باستخدام محاكي Xilinx ISE 14.7مع لغة.VHDL

	باستخدامVHDL		
7, 8	**التجربة) 4 :(**نمذجة المكونات التوافقية الأساسية: المفككات والمشفّرات باستخدامVHDL	Xilinx ISE 14.7 software	تنفيذ الوظائف المنطقية باستخدام دوائر المفكك والمشفّر باستخدام VHDL.
9, 10	**التجربة) 5 VHDL :(**الهيكلية (Structural VHDL)	Xilinx ISE 14.7 software	كتابة كود VHDL الهيكلي باستخدام المكونات.(component)
11, 12	**التجربة) 6 :(**نمذجة المكونات التتابعية الأساسية: اللاتشات، الفليب-فلوب، سجلات الإزاحة، والعدادات باستخدامVHDL	Xilinx ISE 14.7 software	كتابة أوصاف كود VHDL التي تنفذ اللاتشات، الفليب-فلوب، سجلات الإزاحة، والعدادات باستخدام.VHDL
13, 14	**التجربة) 7 :(**آلة الحالة باستخدامVHDL	Xilinx ISE 14.7 software	كتابة أوصاف كود VHDL التي تنفذ آلات الحالة.(State Machines)
15	الامتحان النهائي		

6. الأدوات والمعدات المستخدمة:

- برنامج Xilinx ISE 14.7
- برنامج Proteus 8.13
- جهاز Spartan-3 FPGA
- جهاز FPGA Spartan-3E
- أسلاك
- فولتميتر

7. دليل السلامة:

- التأكد من فصل التيار الكهربائي عند توصيل الأجهزة.
- عدم لمس المنافذ الكهربائية أو مكونات الجهاز دون إذن المشرف.
- الالتزام بالهدوء وتنظيم الكابلات لتجنب الحوادث.

8. آلية التقييم:	
عنصر التقييم	النسبة
تقارير التجارب الأسبوعية	%10
المشروع العملي/المختبر	%6
الامتحان العملي النهائي	%10

9. المراجع والمصادر:

- Mod Modern digital design by Richard S. Sandige (McGraw-Hill)
- Voinci A. pedroni, "Circuit design with VHDL", MIT press, Cambridge, London 2004.
- Thom A.S. "digital with CPLA application and VHDL.
- Introduction to Logic Design, 3rd edition, Alan Marcovitz, McGraw-Hill, 2010.

10.المرفقات:

نموذج تقرير التجربة

مهمة/واجب التجربة

وصف مختبر الالكترونيك التناظري

1. المعلومات العامة:	
اسم المختبر و رقم المختبر:	مختبر الالكترونيك التناظري (مختبر 108)
اسم المقرر المرتبط:	**Analog Electronics**
القسم:	هندسة الحاسوب
عدد الساعات الأسبوعية للمختبر:	6ساعات
عدد أسابيع الفصل الدراسي:	15 أسبوعًا
المستوى الدراسي:	المستوى الثاني
المشرف على المختبر:	أ. م.د. ربيع موفق حاجم

2. وصف عام للمختبر:

مختبر الإلكترونيات التناظرية هو بيئة تعليمية وتجريبية تستخدم لتدريس وتطبيق مبادئ الإلكترونيات التناظرية، التي تتعامل مع الإشارات التي تأخذ قيماً مستمرة مثل التيار أو الجهد الكهربائي. يهدف المختبر إلى تعليم الطلاب كيفية تصميم وتحليل الدوائر الإلكترونية الأساسية التي تستخدم المكونات التناظرية مثل المقاومات، والمكثفات، والترانزستورات، والموحدات (الثنائيات)، ومضخمات العمليات.

3. أهداف المختبر:

- في مختبر الإلكترونيات التناظرية، يتم تنفيذ العديد من التجارب العملية التي تساعد الطلاب على فهم كيفية عمل الدوائر، وكيفية استجابة المكونات التناظرية للإشارات المختلفة. يمكن للطلاب قياس التيارات والجهود وتحليل خصائص الموجات المتولدة باستخدام أجهزة مثل الملتيمتر، والأوسيلوسكوب، ومولدات الإشارة، وأجهزة قياس التردد.

4. مخرجات التعلم:

بنهاية المختبر، يجب أن يكون الطالب قادرًا على تطبيق الدوائر التالية:

- دوائر قصّ الثنائيات، تثبيت الثنائيات، دوائر التقويم.
- دوائر تضخيم الترانزستور (CC, CB, CE).
- دوائر OP AMP.
- دوائر التضخيم الأساسي لمضخم التشغيل OP AMP (متتبع الجهد، والجمع، والطرح الدائرة التفاضلية، ودائرة التكامل).

5. الجدول الأسبوعي للتجارب:			
الأسبوع	عنوان التجربة	الأدوات / البرامج المستخدمة	الهدف الرئيسي
1	مقدمة في خصائص الثنائيات وصلة.(PN)	مختبر الدوائر الخطية -Kl 200 وحدة التجارب: طقم-Kl 23001 مقياس متعدد رقمي، راسم ذبذبات، ومولد إشارة، وأدوات يدوية أساسية.	فهم خصائص كل نوع من أجهزة الثنائيات. التعرف على مواصفات كل نوع من أجهزة الثنائيات. تعلم كيفية اختبار خصائص كل نوع.
2	دائرة قصّ الثنائيات.	مختبر الدوائر الخطية-Kl 200 وحدة التجارب: طقم-Kl 23001 مقياس متعدد رقمي، راسم ذبذبات، ومولد إشارة، وأدوات يدوية أساسية.	فهم مبدأ تشغيل دائرة قص الصمام الثنائي
3	دائرة تثبيت الثنائيات.	مختبر الدوائر الخطية -Kl 200 وحدة التجارب: طقم-Kl 23001 مقياس متعدد رقمي، راسم ذبذبات، ومولد إشارة، وأدوات يدوية أساسية.	فهم مبدأ تشغيل دائرة تثبيت الصمام الثنائي
4	دائرة التقويم.	مختبر الدوائر الخطية-Kl 200 وحدة التجارب: طقم-Kl 23001 مقياس متعدد رقمي، راسم	فهم مبادئ وخصائص مقوم الموجة النصفية والموجة الكاملة والجسر.

		ذبذبات، ومولد إشارة، وأدوات يدوية أساسية.	
5	خصائص الترانزستور.	مختبر الدوائر الخطية-Kl 20 0 وحدة التجارب: طقم -Kl 23021 مقياس متعدد رقمي، راسم ذبذبات، ومولد إشارة، وأدوات يدوية أساسية.	فهم بنية ورموز الترانزستورات وخصائص الترانزستورات
6	دائرة تضخيم الترانزستور.	مختبر الدوائر الخطية-Kl 200 وحدة التجارب: طقم -kl 23002 مقياس متعدد رقمي، راسم ذبذبات، ومولد إشارات، وأدوات يدوية أساسية.	فهم الخصائص الأساسية لكل دائرة تضخيم ومعنى أوضاع التشغيل الثلاثة للترانزستور (تضخيم CE، CC، CB)
7	دائرة تضخيم الترانزستور: مضخم الباعث المشترك (CE)	مختبر الدوائر الخطية -Kl 200 وحدة التجارب: طقم-kl 23003 مقياس متعدد رقمي، راسم ذبذبات، ومولد إشارات، وأدوات يدوية أساسية.	فهم خصائص دائرة الترانزستور لمضخم الباعث المشترك (.CE)
8	انحياز الباعث الذاتي.	مختبر الدوائر الخطية -Kl 200 وحدة التجارب: طقم-kl 23003	فهم خصائص التحيز الذاتي للباعث

		مقياس متعدد رقمي، راسم ذبذبات، ومولد إشارات، وأدوات يدوية أساسية.	
9	دائرة تضخيم الترانزستور: مضخم القاعدة المشتركة (CB).	مختبر الدوائر الخطية-Kl 200 وحدة التجارب: طقم -kl 23003 مقياس متعدد رقمي، راسم ذبذبات، ومولد إشارات، وأدوات يدوية أساسية.	فهم خصائص مكبر القاعدة المشتركة (CB)
10	دائرة تضخيم الترانزستور: مضخم المجمع المشترك (CC).	مختبر الدوائر الخطية-Kl 200 وحدة التجارب: طقم-kl 23003 مقياس متعدد رقمي، راسم ذبذبات، ومولد إشارات، وأدوات يدوية أساسية.	فهم خصائص مكبر المجمع المشترك .(C)
11	دائرة تضخيم متعدد المراحل.	مختبر الدوائر الخطية-Kl 200 وحدة التجارب: طقم-kl 23005 مقياس متعدد رقمي، راسم ذبذبات، ومولد إشارة، وأدوات يدوية أساسية	فهم مبدأ عمل مكبرات الصوت مع أنواع مختلفة من الاقتران، دوائر مكبر الصوت OTL و.OCL
12	الخصائص الأساسية لمضخم التشغيل.(OPA AMP)	مختبر الدوائر الخطية-Kl 200 وحدة التجارب: طقم-kl 23012	فهم الخصائص الأساسية لمكبر التشغيل ZI وZO وBW وطريقة ضبط جهد الإزاحة لمكبر التشغيل

		مقياس متعدد رقمي، راسم ذبذبات، ومولد إشارة، وأدوات يدوية أساسية	
13	التضخيم الأساسي لمضخم التشغيل OP AMP (متتبع الجهد، والجمع، والطرح).	مختبر الدوائر الخطية-Kl 200 وحدة التجارب: طقم-kl 23013 مقياس متعدد رقمي، راسم ذبذبات، ومولد إشارة، وأدوات يدوية أساسية	فهم الخصائص الأساسية لمضخم التشغيل (متتبع الجهد، والجمع، والطرح).
14	التضخيم الأساسي لمضخم التشغيل OP AMP (الدائرة التفاضلية، ودائرة التكامل).	مختبر الدوائر الخطية -Kl 200 وحدة التجارب: طقم -kl 23013 مقياس متعدد رقمي، راسم ذبذبات، ومولد إشارة، وأدوات يدوية أساسية	فهم الخصائص الأساسية لمضخم التشغيل (الدائرة التفاضلية ودائرة التكامل).
15	الأسبوع التحضيري قبل الامتحان النهائي.	جميع المعدات	مراجعة شاملة لجميع مواضيع المختبر

6. الأدوات والمعدات المستخدمة:
• مختبر الدوائر الخطية Kl-200 • وحدة التجارب: طقم kl-23013 • وحدة التجارب: طقم kl-23012 • وحدة التجارب: طقم kl-23005 • وحدة التجارب: طقم kl-23003 • وحدة التجارب: طقم kl-23002 • وحدة التجارب: طقم Kl-23001 • مقياس متعدد رقمي، راسم موجات، ومولد إشارة، وأدوات يدوية أساسية

7. دليل السلامة:

- التأكد من فصل التيار الكهربائي عند توصيل الأجهزة.
- عدم لمس المنافذ الكهربائية أو مكونات الشبكة دون إذن المشرف.
- الالتزام بالهدوء وتنظيم الكابلات لتجنب الحوادث.
- استخدام البرنامج المحاكي لتجارب التوجيه قبل التجريب على الأجهزة الحقيقية.

8. آلية التقييم:

عنصر التقييم	النسبة
الحضور والمشاركة	10%
تقارير التجارب الأسبوعية	30%
الاختبارات القصيرة	20%
الامتحان العملي النهائي	30%
المشروع العملي	10%

9. المراجع والمصادر:

- Electronic Devices, Thomas L. Floyd, 7th edition, 2017

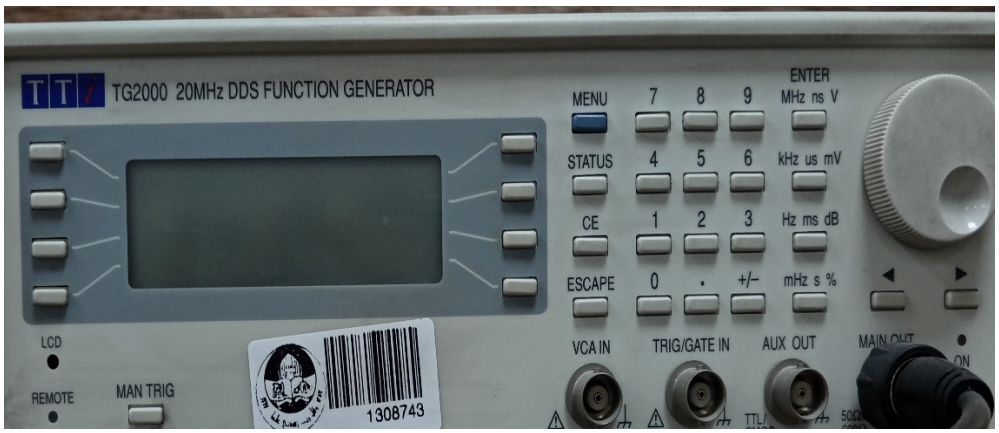
10.المرفقات:

-

مختبر الالكترونيك التناظري

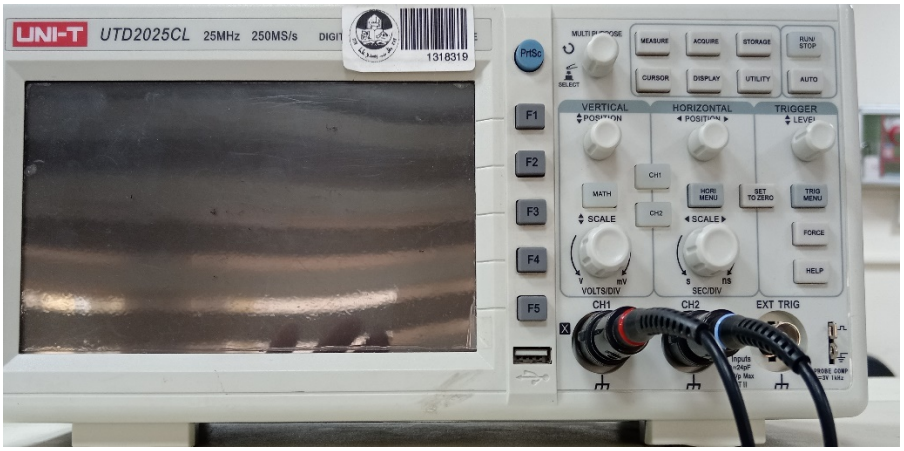
جهاز الدوائر الخطية (Linear Circuit Lab.) :

مولد إشارة:

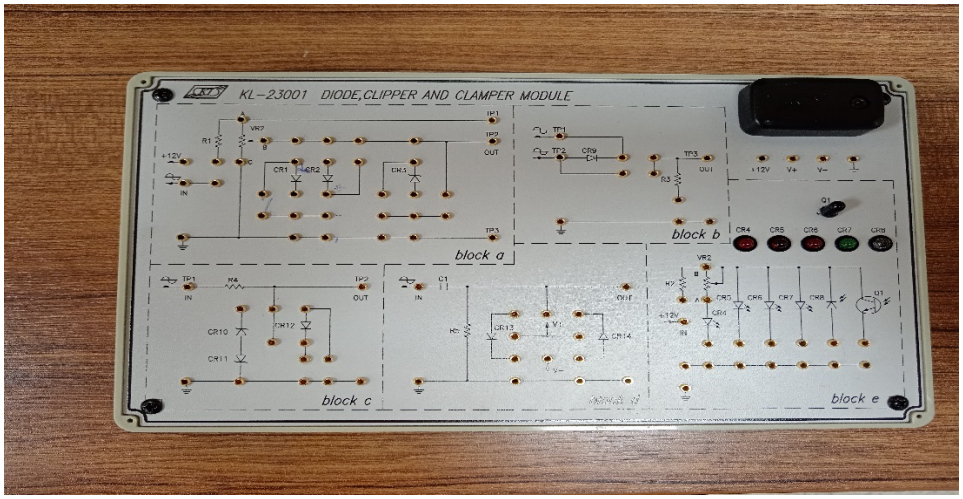


مقياس متعدد رقمي:

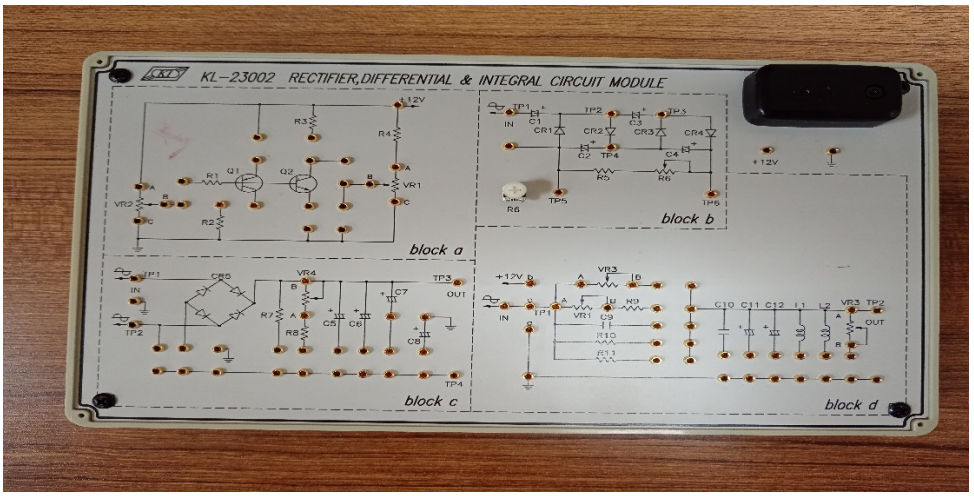
راسم موجات:



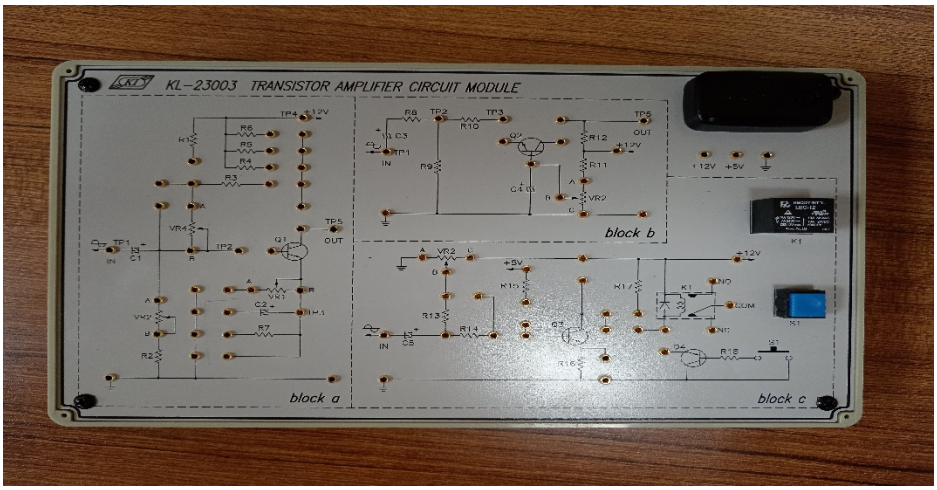
- وحدة التجارب: طقم Kl-23001:



- وحدة التجارب: طقم Kl-23002:



- وحدة التجارب: طقم Kl-23003:



وصف مختبر الكترونيات رقمية

1. المعلومات العامة:	
اسم المختبر و رقم المختبر:	اليكترونيات رقمية (مختبر 111)
اسم المقرر المرتبط:	اليكترونيات رقمية
القسم:	هندسة الحاسوب
عدد الساعات الأسبوعية للمختبر:	3 ساعات
عدد أسابيع الفصل الدراسي:	15 أسبوعًا
المستوى الدراسي:	المستوى الثاني
المشرف على المختبر:	م. مضر احمد حمودي حسين

2. وصف عام للمختبر:

يهدف مختبر إلكترونيك الرقمي إلى تعزيز المفاهيم النظرية التي تم تناولها في محاضرات مقرر الالكترونيات الرقمية، من خلال تطبيقات عملية باستخدام الأدوات اللازمة لتحليل وتصميم الدوائر والأنظمة الرقمية. يوفر المختبر بيئة تفاعلية تُمكن الطلاب من اكتساب أساس متين في كل من المجالين الرقمي والإلكتروني.

3. أهداف المختبر:

- تدريب الطلاب على تصميم وإعداد الدوائر والأنظمة الرقمية.
- التعرف على جميع أنواع الدوائر الإلكترونية الرقمية والاختلاف بينها
- استخدام المفاهيم الأساسية للتحليل الكهربائي والإلكتروني لتحديد استهلاك الطاقة وعدد دوائر الأحمال ومستويات الجهد المنطقي للبوابة المنطقية.
- اختيار التصميم المنطقي المناسب من الأنواع المختلفة لعائلات البوابات المنطقية
- القدرة على تقييم المقادير الكهربائية والمنطقية لأي دائرة منطقية رقمية

4. مخرجات التعلم:

بنهاية المختبر، يجب أن يكون الطالب قادرًا على:

- تسمية جميع أنواع الدوائر الإلكترونية الرقمية والاختلاف بينها.
- اختيار التصميم المنطقي المناسب من الأنواع المختلفة لعائلات البوابات المنطقية.
- تصميم دائرة منطقية رقمية جديدة لأداء مهمة معينة
- توثيق التجارب وإعداد تقارير احترافية.
- العمل ضمن فريق لحل مشاكل الأنظمة الرقمية.

5. الجدول الأسبوعي للتجارب:

الأسبوع	عنوان التجربة	الأدوات / البرامج المستخدمة	الهدف الرئيسي
1	مقدمة إلى LTSpice	LTSpice	التعرف على بيئة محاكاة LTSpice واستخدامها في تحليل وتصميم الدوائر الإلكترونية الرقمية.
2	تصميم البوابات منطقية باستخدام (Resistor diode logic RDL)	LTSpice	بناء ومحاكاة دوائر منطقية بسيطة تعتمد على المقاومات والدايودات لتنفيذ الوظائف المنطقية.
3	تصميم البوابات منطقية باستخدام (Resistor transistor logic RTL)	LTSpice	تصميم دوائر منطقية تعتمد على المقاومات والترانزستورات لإنتاج البوابات الأساسية مثل AND و OR و NOT.
4	تصميم البوابات منطقية باستخدام (Diode transistor logic DTL)	LTSpice	محاكاة دوائر منطقية تستخدم الدايودات للربط والترانزستورات للتكبير من أجل تنفيذ الوظائف المنطقية.
5	تصميم البوابات منطقية باستخدام (Transistor transistor logic TTL)	LTSpice	بناء دوائر منطقية تعتمد فقط على الترانزستورات لتنفيذ عمليات منطقية سريعة وفعالة.
6	تصميم البوابات منطقية باستخدام (Emitter coupled logic ECL, I2L)	LTSpice	استكشاف تصميم بوابات منطقية عالية السرعة باستخدام تقنيات ECL و I2L.
7	تصميم البوابات منطقية باستخدام (NMOS and PMOS logic circuits)	LTSpice	تنفيذ ومحاكاة بوابات منطقية باستخدام الترانزستورات من نوع NMOS و PMOS.
8	تصميم البوابات منطقية باستخدام (Complementary Metal Oxide CMOS logic circuits)	LTSpice	تصميم بوابات منطقية فعالة في استهلاك الطاقة باستخدام تقنية CMOS التي تجمع بين NMOS و PMOS.
9	Term exam		تقييم شامل لمهارات الطالب في تصميم وتحليل دوائر منطقية باستخدام التقنيات التي تم تغطيتها في المختبر.

10	تصميم الدوائر المنطقية باستخدام (Sequential MOS logic circuits)	LTSpice	بناء ومحاكاة دوائر منطقية تسلسلية باستخدام ترانزستورات MOS لتنفيذ وظائف الذاكرة.
11	تصميم الدوائر المنطقية باستخدام (Regenerative logic circuits)	LTSpice	تحليل وتصميم دوائر منطقية تعتمد على التغذية الراجعة لتحقيق الثبات والمنطق الثنائي.
12	تصميم الدوائر المنطقية باستخدام (Semiconductor memories)	LTSpice	التعرف على بنية وعمل دوائر الذاكرة النصف ناقلة مثل RAM و ROM وتصميمها باستخدام أدوات المحاكاة.
13	مراجعة شاملة ومناقشة المشروع العملي	جميع الأدوات	دمج المهارات المكتسبة في مشروع نهائي
14	Final exam		تقييم شامل لمهارات الطالب في تصميم وتحليل دوائر منطقية باستخدام التقنيات التي تم تغطيتها في المختبر.

6. الأدوات والمعدات المستخدمة:

- حواسيب مختبرية
- برنامج LTSpice

7. دليل السلامة:

- **استخدام جهاز الحاسوب بطريقة آمنة وصحيحة:**

  اجلس في وضعية مريحة، وتجنب إجهاد العينين باستخدام إضاءة مناسبة وأخذ فترات راحة قصيرة أثناء العمل الطويل على البرنامج.
- **الالتزام بتعليمات المشرف أو المدرّس بدقة:**

  اتبع الخطوات التعليمية بدقة أثناء تصميم الدوائر وتجنب تنفيذ محاكاة بدون مراجعة التوصيلات والمعلمات، لتفادي حدوث نتائج خاطئة أو ارتباك أثناء التجربة.
- **الحفاظ على ملفات العمل وتنظيمها:**

  احرص على حفظ ملفات التجارب باسم مناسب وفي مكان منظم على جهازك لتسهيل مراجعتها لاحقًا، وتجنب حذف أو تعديل ملفات زملائك دون إذن.

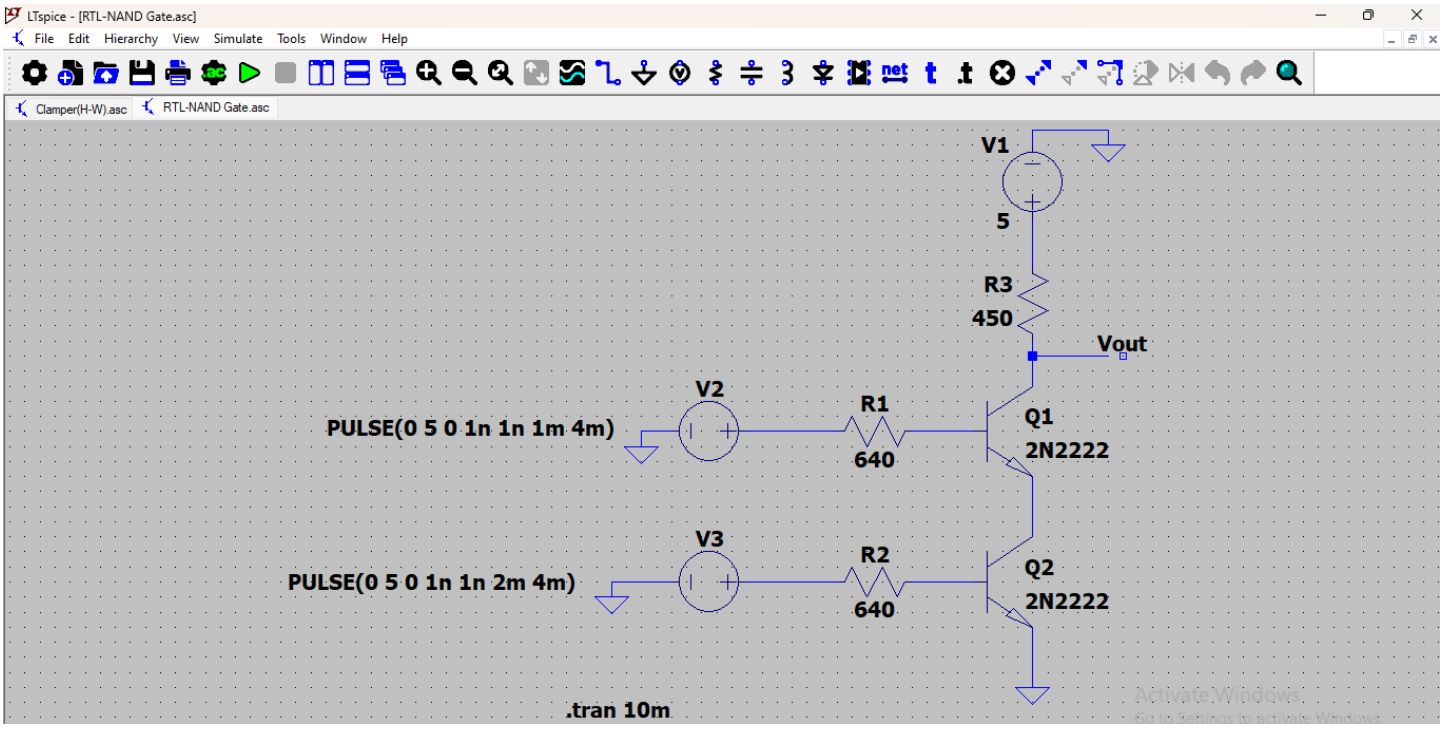
8. آلية التقييم:	
عنصر التقييم	النسبة
الحضور والمشاركة	10%
الامتحان النصف نهائي	30%
الاختبارات القصيرة	20%
الامتحان العملي النهائي	30%
المشروع العملي	10%

9. المراجع والمصادر:

- “Digital Integrated Circuits Analysis and Design” by: John E. Ayers.2004
- 1“ .Analysis and Design of Digital Integrated Circuits” by: David A. Hodges. 1988
- 2.Lab Manual , LTSPICE Design Tool.

10.المرفقات:

- خطة العمل الأسبوعية
- تعليمات استخدام LTSpice



وصف مختبر برمجة الكائنات الموجهة

1. المعلومات العامة:	
اسم المختبر و رقم المختبر:	مختبر برمجة الكائنات الموجهة (مختبر 312)
اسم المقرر المرتبط:	برمجة الكائنات الموجهة
القسم:	هندسة الحاسوب
عدد الساعات الأسبوعية للمختبر:	3 ساعات
عدد أسابيع الفصل الدراسي:	15 أسبوعًا
المستوى الدراسي:	المستوى الثاني
المشرف على المختبر:	أ.م. د. توركان احمد خليل & سحر خالد احمد + م.م. هبة ضياء النعمة

2. وصف عام للمختبر:

يهدف مختبر البرمجة بالكائنات الموجهة (OOP) إلى تزويد الطلبة بالخبرة العملية في تصميم وتنفيذ البرمجيات باستخدام مبادئ البرمجة بالكائنات باستخدام لغة C++. يدعم المختبر الجانب النظري للمقرر ويركز على التصميم المعياري، إعادة استخدام الشيفرة، وقابلية التوسع. سيقوم الطلبة بتنفيذ مهام عملية تتضمن التغليف، الوراثة، تعدد الأشكال، والتجريد لحل المشكلات البرمجية بكفاءة.

3. أهداف المختبر:

- تعزيز فهم مفاهيم البرمجة بالكائنات الموجهة من خلال التطبيق العملي.
- تمكين الطلبة من تنفيذ برامج C++ باستخدام مبادئ OOP مثل: الصفوف، الكائنات، التغليف، الوراثة، وتعدد الأشكال.
- تطوير قدرة الطلبة على تصميم برمجيات قابلة للصيانة والتوسع.
- تدريب الطلبة على استخدام الصفوف المجردة والواجهات في سيناريوهات واقعية.
- تمكين الطلاب من تحليل واختيار الهياكل المناسبة للمشكلات
- مساعدة الطلاب على تحديد الهيكل الأنسب للمشكلة البرمجية من حيث الكفاءة والمرونة.
- تشجيع التفكير التحليلي وتجزئة المشكلات المعقدة إلى وحدات صغيرة قابلة للحل باستخدام هياكل بيانات مناسبة.
- تمكين الطالب من دمج أكثر من هيكل بيانات في برنامج عملي متكامل كمقدمة لمشاريع التخرج أو التطبيقات الواقعية.

4. مخرجات التعلم:

بنهاية المختبر، يجب أن يكون الطالب قادرًا على:

- تحليل وحل المشكلات البرمجية باستخدام OOP في C++.
- تصميم وتنفيذ برامج كائنية التوجه مع التركيز على القابلية لإعادة الاستخدام والصيانة.
- تطبيق التغليف، الوراثة، وتعدد الأشكال ضمن تسلسل هرمي للصفوف.
- تنفيذ الصفوف المجردة وتحميل الدوال (Overloading).
- التعامل مع الاستثناءات وتصحيح الشيفرة البرمجية.
- التعاون بفعالية في مشاريع برمجية تعتمد على العمل الجماعي.

5. الجدول الأسبوعي للتجارب:

الأسبوع	عنوان التجربة	الأدوات / البرامج المستخدمة	الهدف الرئيسي
1	المقدمة ومراجعة البرمجة	C++ / Code::Blocks	إعداد البيئة ومراجعة الأساسيات
2	الكائنات والصفوف	C++ / Code::Blocks	فهم هياكل الكائنات
3	التجريد البياني	C++ / Code::Blocks	فصل الواجهة عن التنفيذ
4	التغليف والإخفاء	C++ / Code::Blocks	حماية بيانات الصف
5	المنشئون والمُدمّرون	C++ / Code::Blocks	إدارة دورة حياة الكائن
6	دوال الصف	C++ / Code::Blocks	تعريف واستدعاء الدوال
7	التحميل الزائد للدوال	C++ / Code::Blocks	إنشاء نسخ متعددة من الدوال
8	الوراثة	C++ / Code::Blocks	إنشاء تسلسلات هرمية للصفوف
9	تعدد الأشكال	C++ / Code::Blocks	إتاحة السلوك المرن والديناميكي
10	الصفوف المجردة	—	تعريف قوالب عامة للصفوف الفرعية
11	الدوال المجردة	C++ / Code::Blocks	فرض تنفيذ الصف الفرعي
12	التعامل مع الاستثناءات	C++ / Code::Blocks	معالجة الأخطاء وقت التنفيذ
13	عرض المشروع/الدعم	C++ / Code::Blocks	تقييم الطلبة وتقديم المساعدة
14	مراجعة واستعداد نهائي	—	المراجعة والمساعدة في المشروع النهائي

6. الأدوات والمعدات المستخدمة:

- حواسيب مختبرية
- برنامج C++ / Code::Blocks

7. دليل السلامة:

- التأكد من فصل التيار الكهربائي عند توصيل الأجهزة.
- عدم لمس المنافذ الكهربائية أو مكونات الشبكة دون إذن المشرف.
- الالتزام بالهدوء وتنظيم الكابلات لتجنب الحوادث.

8. آلية التقييم:

عنصر التقييم	النسبة
تقارير التجارب الأسبوعية	%5
الاختبارات القصيرة	%5
الامتحان العملي النهائي	%10
المشروع العملي	%10

9. المراجع والمصادر:

Object-Oriented Programming in C++, Fourth Edition, by , Robert Lafore , Waite Group,Sams Publishing,2002.

C++ programming an object oriented approach, by Admin , 2022 .

10.المرفقات:

صور المختبر

وصف مختبر هياكل البيانات

1. المعلومات العامة:	
اسم المختبر و رقم المختبر:	مختبر هياكل البيانات (مختبر 312)
اسم المقرر المرتبط:	هياكل البيانات
القسم:	هندسة الحاسوب
عدد الساعات الأسبوعية للمختبر:	3 ساعات
عدد أسابيع الفصل الدراسي:	15 أسبوعًا
المستوى الدراسي:	المستوى الثاني
المشرف على المختبر:	أ.م. د. توركان احمد خليل + م.م. هبة ضياء النعمة

2. وصف عام للمختبر:

يهدف مختبر شبكات الحاسوب إلى تعزيز المفاهيم النظرية التي تم تناولها في محاضرات مقرر شبكات الحاسوب، من خلال تطبيقات عملية ومحاكاة باستخدام أدوات وبرمجيات مخصصة لتصميم وتحليل الشبكات. يوفر المختبر بيئة تفاعلية تُمكن الطلاب من اكتساب مهارات تركيب وإعداد الشبكات السلكية واللاسلكية، بالإضافة إلى إعداد بروتوكولات التوجيه وتأمين الشبكات

3. أهداف المختبر:

- تعزيز فهم المفاهيم النظرية من خلال التطبيق العملي
- تمكين الطلاب من ربط المفاهيم النظرية لهياكل البيانات بالتطبيقات العملية باستخدام لغة C++.
- تطوير مهارات البرمجة باستخدام هياكل البيانات المختلفة
- تدريب الطلاب على كتابة برامج تعتمد على المصفوفات، القوائم المرتبطة، المكدسات، الطوابير، الأشجار، الرسوم البيانية، والتجزئة.
- تمكين الطلاب من تحليل واختيار الهياكل المناسبة للمشكلات
- مساعدة الطلاب على تحديد الهيكل الأنسب للمشكلة البرمجية من حيث الكفاءة والمرونة.
- تشجيع التفكير التحليلي وتجزئة المشكلات المعقدة إلى وحدات صغيرة قابلة للحل باستخدام هياكل بيانات مناسبة.
- تمكين الطالب من دمج أكثر من هيكل بيانات في برنامج عملي متكامل كمقدمة لمشاريع التخرج أو التطبيقات الواقعية.

4. مخرجات التعلم:

بنهاية المختبر، يجب أن يكون الطالب قادرًا على:

- فهم المفاهيم الأساسية لهياكل البيانات
- تعريف وتطبيق الهياكل الخطية وغير الخطية (مثل المصفوفات، المكدسات، الطوابير، القوائم المرتبطة، الأشجار، الرسوم البيانية).
- القدرة على كتابة برامج باستخدام C++ لتنفيذ هياكل البيانات
- تطوير وتنفيذ برامج هياكل بيانات واقعية باستخدام لغة C++
- تصميم وتنفيذ هياكل بيانات مناسبة لحل مشكلات برمجية محددة
- اختيار الهيكل الأنسب (Stack, Queue, Tree, Graph) تبعًا لنوع المشكلة.
- تطبيق مبادئ البرمجة الكائنية (OOP)
- استخدام الفئات (Classes) والكائنات لتنظيم الكود وتغليف البيانات.
- استخدام العودية (Recursion) في حل المشكلات الكلاسيكية
- تنفيذ خوارزميات بحث وفرز فعالة
- تنفيذ وتحليل خوارزميات مثل: Binary Search، Bubble Sort، Selection Sort وغيرها.
- تحليل الأداء والكفاءة الزمنية لهياكل البيانات والخوارزميات
- تمثيل العلاقات المعقدة باستخدام الأشجار والرسوم البيانية
- بناء شجرة ثنائية والقيام بعمليات الإدراج، الحذف، والاجتياز (Traversal).
- تمثيل الرسوم البيانية باستخدام مصفوفات وقوائم المجاورة.
- فهم واستخدام تقنيات التجزئة (Hashing)

5. الجدول الأسبوعي للتجارب:

الأسبوع	عنوان التجربة	الأدوات / البرامج المستخدمة	الهدف الرئيسي
1	تنفيذ برامج: المصفوفات، الدوال، التراكيب، الكائنات(Classes)	C++ / Code::Blocks	مراجعة المفاهيم الأساسية في البرمجة باستخدام++C
2	العودية في البرمجة وحل المشكلات: دوال مثل Factorial والمشكلات الكلاسيكية	C++ / Code::Blocks	فهم العودية وتطبيقها في الحلول البرمجية
3	المكدسات :(Stacks) تعريف ADTوتنفيذها باستخدام المصفوفات والتراكيب	C++ / Code::Blocks	إنشاء Stack باستخدام مصفوفة وتنفيذ push/pop
4	المكدسات :(Stacks) تنفيذ باستخدام القوائم المرتبطة	C++ / Code::Blocks	تصميم Stack ديناميكي باستخدام Linked List
5	الطوابير :(Queues) تعريف	C++ / Code::Blocks	تنفيذ Queue باستخدام Array وتحليل

	ADTوتنفيذ باستخدام المصفوفات والتراكيب		عملياته
6	الطوابير :(Queues) تنفيذ باستخدام القوائم المرتبطة	C++ / Code::Blocks	تصميم Queue ديناميكي باستخدام Linked List
7	الطوابير الدائرية: تنفيذ باستخدام المصفوفات والتراكيب	C++ / Code::Blocks	تنفيذ Circular Queue وحل مشكلة الامتلاء الزائف
8	الطوابير الدائرية: تنفيذ باستخدام القوائم المرتبطة	C++ / Code::Blocks	تصميم Circular Queue باستخدام Linked List
9	اجتياز الأشجار (Trees Traversals):تطبيقات على الأشجار الثنائية	C++ / Code::Blocks	تنفيذ خوارزميات اجتياز Inorder, : Preorder, Postorder
10	امتحان منتصف الفصل(Mid-term Exam)	—	تقييم عملي لمهارات الطالب في النصف الأول
11	نظرية الرسوم البيانية (Graph Theory)	C++ / Code::Blocks	تمثيل الرسوم البيانية وتطبيقات على BFS / DFS
12	تقنيات التجزئة (Hashing Techniques)	C++ / Code::Blocks	تنفيذ جدول تجزئة بسيط وفهم الاصطدام(Collision)
13	تقنيات الترتيب والبحث (Sorting & Searching)	C++ / Code::Blocks	تطبيق خوارزميات مثل Bubble, Selection, Binary Search
14	الامتحان النهائي(Final Exam)	—	تقييم شامل لمهارات الطالب العملية في المقرر

6. الأدوات والمعدات المستخدمة:

- حواسيب مختبرية
- برنامج C++ / Code::Blocks

7. دليل السلامة:

- التأكد من فصل التيار الكهربائي عند توصيل الأجهزة.
- عدم لمس المنافذ الكهربائية أو مكونات الشبكة دون إذن المشرف.
- الالتزام بالهدوء وتنظيم الكابلات لتجنب الحوادث.
- استخدام البرنامج المحاكي لتجارب التوجيه قبل التجريب على الأجهزة الحقيقية.

8. آلية التقييم:	
عنصر التقييم	النسبة
تقارير التجارب الأسبوعية	%5
الاختبارات القصيرة	%5
الامتحان العملي النهائي	%10
المشروع العملي	%10

9. المراجع والمصادر:

- Data Structures Using C++ (Second Edition) by D.S. Malik – 2012 by D.S. Malik.
- Data Structures and Algorithms in C++ 4th Edition by Mark A. Weiss 2014.

10.المرفقات: